

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-161621

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

G06F 3/00

G06F 13/16

G06F 13/40

(21)Application number : 04-309066

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.11.1992

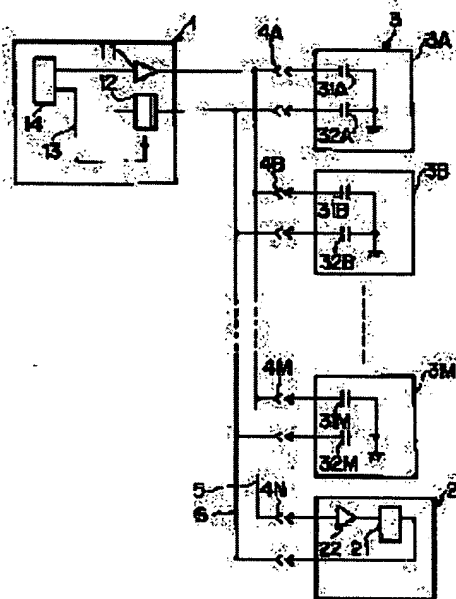
(72)Inventor : KANEKO SHIGERU  
KURIHARA RYOICHI

## (54) DATA TRANSMISSION SYSTEM

## (57)Abstract:

**PURPOSE:** To provide a data transmission system capable of speeding-up a data transfer by optimizing a signal waveform and making signal propagation delay time constant, in the data transmission between a control part which is different in the number of sheets of package in memory package and plural memory packages, in particular.

**CONSTITUTION:** This system is a data transmission system where the only function necessary for the reading from a memory package is shown, a mounting memory package is made one sheet and a data transmission line, and is composed of a control part 1, a memory package 2 and plural dummy packages 3 (3A to 3M). The dummy package 3A to 3M are provided with capacitors 31A to 31M having the same input impedances as that of a driving 22 within the memory package and capacitors 32A to 32M having the same input impedances as that when a memory IC 21 stops a data output and opens an output state.



## LEGAL STATUS

[Date of request for examination] 17.02.1999

[Date of sending the examiner's decision of rejection] 14.11.2000

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-161621

(43)公開日 平成 6年(1994) 6月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/00	K	7165-5B		
13/16	5 1 0	9366-5B		
13/40	3 1 0	9072-5B		

審査請求 未請求 請求項の数 7 (全 10 頁)

(21)出願番号 特願平4-309066

(22)出願日 平成 4年(1992)11月18日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 金子 茂

神奈川県海老名市下今泉810番地 株式会  
社日立製作所オフィスシステム事業部内

(72)発明者 栗原 良一

神奈川県海老名市下今泉810番地 株式会  
社日立製作所オフィスシステム事業部内

(74)代理人 弁理士 筒井 大和

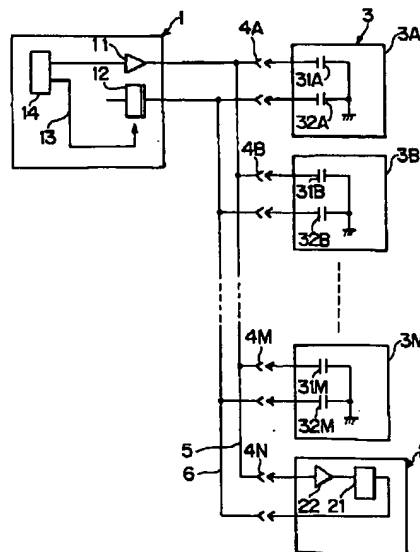
(54)【発明の名称】 データ伝送方式

(57)【要約】

【目的】 特に、メモリパッケージの実装枚数が異なる制御部と複数のメモリパッケージ間のデータ伝送において、信号波形を最適化し、かつ信号伝搬遅延時間を一定にしてデータ転送の高速化が可能とされるデータ伝送方式を提供する。

【構成】 メモリパッケージからの読み出しに必要な機能のみを示し、その上実装するメモリパッケージを1枚とし、データ伝送路によりメモリパッケージと制御部間のデータ転送を行うデータ伝送方式であって、制御部1、メモリパッケージ2および複数のダミーパッケージ3 (3A~3M) から構成されている。そして、ダミーパッケージ3A~3Mには、メモリパッケージ内駆動回路22と同じ入力インピーダンスを有するコンデンサ31A~31Mと、メモリIC21がデータ出力を停止して出力状態を開放にしている時と同じ入力インピーダンスを有するコンデンサ32A~32Mが備えられている。

図 1



1 : 制御部  
2 : メモリパッケージ  
3, 3A~3M : ダミーパッケージ (インピーダンス制御手段)  
4A~4N : メモリスロット

## 【特許請求の範囲】

【請求項1】 複数の制御ユニットと複数のスロットを有し、該複数のスロットに前記複数の制御ユニットをそれぞれ実装し、該複数のスロットのそれぞれを共通に接続するデータ伝送路により前記複数の制御ユニット間のデータ転送を行うデータ伝送方式であって、前記複数の制御ユニットのそれぞれから見た前記データ伝送路の特性インピーダンスを、該複数の制御ユニットの実装数に関わらずに常に一定にするインピーダンス制御手段を備えることを特徴とするデータ伝送方式。

【請求項2】 前記複数の制御ユニットと複数のスロットを制御部および複数のメモリスロットとし、該制御部と複数のメモリスロットのそれぞれを共通に接続するデータ伝送路により前記複数のメモリスロットに実装した単数または複数のメモリパッケージと前記制御部間のデータ転送を行う場合に、前記制御部および前記メモリパッケージのそれぞれから見た前記データ伝送路の特性インピーダンスを、前記メモリパッケージの実装枚数に関わらずに常に一定にすることを特徴とする請求項1記載のデータ伝送方式。

【請求項3】 前記インピーダンス制御手段として、前記メモリスロットに実装可能で、前記メモリパッケージと同じ特性インピーダンスを持つダミーパッケージを設け、該メモリパッケージを実装していないメモリスロットに前記ダミーパッケージを実装することを特徴とする請求項2記載のデータ伝送方式。

【請求項4】 前記インピーダンス制御手段として、前記制御部に特性インピーダンスを可変できるダミー負荷を設け、該ダミー負荷を制御してその特性インピーダンスを設定し、前記メモリパッケージの実装枚数に関わらず、前記制御部および前記メモリパッケージから見た前記データ伝送路の特性インピーダンスを常に一定にすることを特徴とする請求項2記載のデータ伝送方式。

【請求項5】 前記インピーダンス制御手段として、前記メモリスロットに実装可能で、特性インピーダンスを可変できるダミー負荷を有するダミーパッケージを設け、該ダミーパッケージをメモリパッケージを実装していないメモリスロットに1枚だけ実装し、かつ前記制御部から該ダミーパッケージを制御する制御手段を設け、前記制御部から該ダミーパッケージを制御してその特性インピーダンスを設定し、前記メモリパッケージの実装枚数に関わらず、前記制御部および前記メモリパッケージから見た前記データ伝送路の特性インピーダンスを常に一定にすることを特徴とする請求項2記載のデータ伝送方式。

【請求項6】 前記インピーダンス制御手段として、前記メモリパッケージ内に特性インピーダンスを可変できるダミー負荷を設け、かつ前記制御部から該ダミー負荷を制御する制御手段を設け、前記制御部から該ダミー負荷を制御してその特性インピーダンスを設定し、前記メ

モリパッケージの実装枚数に関わらず、前記制御部および前記メモリパッケージから見た前記データ伝送路の特性インピーダンスを常に一定にすることを特徴とする請求項2記載のデータ伝送方式。

【請求項7】 前記ダミー負荷を、前記メモリパッケージと同じ特性インピーダンスを持つダミー負荷回路と、該ダミー負荷回路を接続または開放する複数のスイッチとから構成し、前記複数のスイッチのそれぞれの接続または切断により特性インピーダンスを変化させることを特徴とする請求項4、5または6記載のデータ伝送方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数の制御ユニット間のデータ転送方式に関し、特に複数のメモリパッケージを使用し、かつメモリパッケージの実装枚数が異なる装置において、メモリパッケージと制御部との間におけるデータ転送の高速化が可能とされるデータ伝送方式に適用して有効な技術に関する。

## 【0002】

【従来の技術】 たとえば、複数のメモリパッケージを使用する装置では、複数のメモリスロットを設け、このメモリスロットに必要枚数のメモリパッケージを実装する方式が一般に用いられる。この時、制御部とメモリパッケージとの間のデータ転送を高速に行うには、メモリパッケージを制御する制御信号およびデータ信号の信号伝搬遅延時間をメモリパッケージ実装枚数に関わらずに一定にする必要がある。

【0003】 ここで、図5を用いて、メモリパッケージからデータを読み出す場合のタイミングにより信号伝搬遅延時間をメモリパッケージ実装枚数に関わらずに一定にする必要性を説明する。

【0004】 始めに、メモリパッケージからデータを読み出す場合、データ読み出しに必要な制御信号を制御部から出力し、メモリパッケージからの読み出しデータを制御部で受け取るが、制御信号を出力して読み出しデータを受け取るまでの時間は、メモリパッケージの読み出しに必要な時間Bと、制御部とメモリパッケージとの間の信号伝搬遅延時間Aで決まり、その時間は2A+Bとなる。

【0005】 また、制御部からの制御信号を切断し、メモリパッケージのデータ出力を終了させる時も、制御信号を切断して読み出しデータ出力が切れるまでの時間は、メモリパッケージの読み出しデータ出力を終了させるに必要な時間Cと、制御部とメモリパッケージとの間の信号伝搬遅延時間Aで決まり、その時間は2A+Cとなる。

【0006】 さらに、制御部でメモリパッケージからの読み出しデータを受け取るために必要な時間は、読み出しデータ受取りタイミングに対するデータセットアップ

## 3

時間Dとデータホールド時間Eで決まる。

【0007】よって、制御信号を出力してから読み出しデータ受取りタイミングまでの時間Fは $2A+B+D$ となり、読み出しデータ受取りタイミングから制御信号を切断するまでの時間Gは $E-(2A+C)$ となり、制御信号の信号幅Hは $\{2A+B+D\} + \{E-(2A+C)\} = B+D+E-C$ となる。

【0008】しかし、制御部とメモリパッケージとの間の信号伝搬遅延時間Aは、制御部の制御信号駆動回路の駆動能力と制御信号駆動回路の負荷により、またメモリパッケージのデータ出力駆動回路の駆動能力とデータ出力駆動回路の負荷により決まる。ここでは、説明を簡単にするために同じ遅延時間としている。これは、負荷が変われば信号伝搬遅延時間Aが変化することを意味する。

【0009】ここで、駆動回路の負荷とはメモリパッケージと制御部を接続する接続線の浮遊容量、インダクタンス、およびメモリスロットに実装したメモリパッケージの浮遊容量、インダクタンス、さらにメモリスロットの浮遊容量、インダクタンスで決定される。

【0010】一般に、制御部とメモリパッケージを実装する複数のメモリスロットの間の接続は、制御部を簡単にするため、および制御部とメモリスロットとの接続線を減らすために制御部と各メモリスロットを1対1で接続するのではなく、各メモリスロットを共通に接続している。

【0011】よって、メモリスロットに実装しているメモリパッケージの枚数により制御信号駆動回路の負荷およびデータ出力駆動回路の負荷が変化し、制御部とメモリパッケージとの間の信号伝搬遅延時間Aも変化する。

【0012】すなわち、制御部と各メモリスロットを1対1で接続する場合の制御信号の信号幅Hは先に述べたように $B+D+E-C$ となるが、各メモリスロットを共通に接続する場合の制御信号の信号幅Hはこれより長くする必要がある。

【0013】ここで、メモリスロットに実装しているメモリパッケージの実装枚数が最小の場合の信号伝搬遅延時間をAとし、実装枚数が最大の場合の信号伝搬遅延時間を $A+\Delta A$ とすると、メモリパッケージの実装枚数が最大の場合の制御信号を出力してから読み出しデータ受取りタイミングまでの時間Fは $2(A+\Delta A)+B+D$ となり、読み出しデータ受取りタイミングから制御信号を切断するまでの時間Gは $E-\{2(A+\Delta A)+C\}$ となる。

【0014】よって、制御信号を出力してから読み出しデータ受取りタイミングまでの時間Fは、メモリパッケージの実装枚数が最大の場合が大きくなり、逆に読み出しデータ受取りタイミングから制御信号を切断するまでの時間Gは、メモリパッケージの実装枚数が最小の場合が大きい。

## 4

【0015】また、メモリパッケージからの読み出しデータを制御部で正しく受け取るには、読み出しデータ受取りタイミングに対するデータセットアップ時間Dおよびデータホールド時間Eをメモリパッケージの実装枚数に関わらずに保証する必要がある。

【0016】そこで、制御信号を出力してから読み出しデータ受取りタイミングまでの時間Fは、メモリパッケージの実装枚数が最大の場合の $2(A+\Delta A)+B+D$ とし、読み出しデータ受取りタイミングから制御信号を切断するまでの時間Gは、メモリパッケージの実装枚数が最小の場合の $E-(2A+C)$ とする必要がある。

【0017】以上のことから、制御信号の信号幅Hは $\{2(A+\Delta A)+B+D\} + \{E-(2A+C)\} = B+D+E-C+2\cdot\Delta A$ となり、制御部と各メモリスロットを1対1で接続する場合に対して $2\cdot\Delta A$ だけ長くする必要がある。

【0018】これは、メモリパッケージから連続してデータを読み出す場合、1回の読み出しに必要な時間が長くなり、制御部とメモリパッケージ間の高速データ転送を行う上で大きな問題となる。

【0019】その上、制御部と各メモリスロットを共通に接続する場合は、さらに別の問題がある。すなわち、制御部からメモリパッケージへの制御信号、またはメモリパッケージから制御部へのデータ信号の信号波形は駆動回路の特性インピーダンスおよび駆動回路の負荷の特性インピーダンスで決まる。

【0020】よって、メモリパッケージの実装枚数が変わると駆動回路の負荷の特性インピーダンスが変わり、その信号波形が変化することとなる。従って、制御部とメモリパッケージ間の高速データ転送を行うには制御信号および読み出しデータ信号の信号波形を最適にする必要がある。

【0021】これは、制御部とメモリパッケージの接続ネットが、終端ネットか非終端ネットかにより異なる。たとえば、終端ネットの場合は、接続ネットの特性インピーダンスと同じインピーダンスで終端することにより信号波形を最適にすることができる。しかし、接続ネットの特性インピーダンスと異なるインピーダンスで終端すると信号波形に歪が生じ、その分信号伝搬遅延時間が大きくなる。

【0022】一方、接続ネットが非終端ネットの場合は、ネットの終端がないために信号伝搬遅延時に信号の反射が生じ、オーバーシュートやアンダーシュート、および信号レベル変化時に信号波形に段ができるなどの波形歪が生じる。これを防ぐため、信号駆動回路と信号ネットの間に抵抗を挿入することが一般に行われている。この抵抗をダンピング抵抗と呼んでいるが、このダンピング抵抗により波形歪を最小限に留め、信号波形を最適にしている。

【0023】以上のように、従来技術では終端またはダ

ンピング抵抗により信号波形の最適化を行っているが、メモリパッケージの実装枚数が変わると駆動回路の負荷の特性インピーダンスが変わるため、その都度、終端またはダンピング抵抗を変える必要がある。しかし、これは実用的ではない。

【0024】よって、制御部とメモリパッケージを実装する複数のメモリスロットの間の接続を、制御部を簡単にするため、および制御部とメモリスロットとの接続線を減らすために、制御部とメモリパッケージ間の高速データ転送を犠牲にして各メモリスロットを共通に接続しているのが一般的である。

【0025】以上述べたように、制御部とメモリパッケージ間の高速データ転送を行うには、メモリパッケージを制御する制御信号およびデータ信号の信号伝搬遅延時間をメモリパッケージの実装枚数に関わらずに一定にする必要がある。

【0026】なお、信号伝搬遅延時間を一定にする従来技術としては、処理装置などの基準クロック信号の接続を同一の負荷を一定の数だけ接続する方法などがある。

【0027】

【発明が解決しようとする課題】ところが、前記のような従来技術において、たとえば制御部とメモリパッケージ間の接続に適用するためには、実装するメモリパッケージの枚数を実際に必要とするパッケージ枚数と関係なしに常に最大の枚数を実装するか、制御部とメモリパッケージ間の接続を1対1に行う必要があるが、いずれも実用的ではない。

【0028】すなわち、前者の最大の枚数を常に実装する場合には、実際に必要とするメモリパッケージの枚数以上のメモリパッケージが必要になるという問題がある。

【0029】また、後者の1対1に接続を行う場合には、制御部での読み出しデータ受取り回路がメモリパッケージの枚数分必要となり、制御部の論理規模が膨大となる上、さらに制御部とメモリパッケージを実装するメモリスロットとの接続もメモリパッケージの枚数分必要となり、接続線数が膨大になるなどの問題が生じる。

【0030】そこで、本発明の目的は、複数の制御ユニット間、特にメモリパッケージの実装枚数が異なる制御部と複数のメモリパッケージ間のデータ伝送において、信号波形を最適化し、かつ信号伝搬遅延時間を一定にしてメモリパッケージと制御部との間におけるデータ転送を高速に行うことができるデータ伝送方式を提供することにある。

【0031】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0032】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

下記のとおりである。

【0033】すなわち、本発明のデータ伝送方式は、複数の制御ユニットと複数のスロットを有し、複数のスロットに複数の制御ユニットをそれぞれ実装し、複数のスロットのそれぞれを共通に接続するデータ伝送路により複数の制御ユニット間のデータ転送を行うデータ伝送方式であって、複数の制御ユニットのそれぞれから見たデータ伝送路の特性インピーダンスを、複数の制御ユニットの実装数に関わらずに常に一定にするインピーダンス制御手段を備えるものである。

【0034】この場合に、前記複数の制御ユニットと複数のスロットを制御部および複数のメモリスロットとし、制御部と複数のメモリスロットのそれぞれを共通に接続するデータ伝送路により複数のメモリスロットに実装した単数または複数のメモリパッケージと制御部間のデータ転送を行うようにしたものである。

【0035】また、前記インピーダンス制御手段として、メモリスロットに実装可能で、メモリパッケージと同じ特性インピーダンスを持つダミーパッケージを設け、メモリパッケージを実装していないメモリスロットにダミーパッケージを実装するようにしたものである。

【0036】さらに、前記インピーダンス制御手段として、制御部に特性インピーダンスを可変できるダミー負荷を設け、このダミー負荷を制御してその特性インピーダンスを設定するようにしたものである。

【0037】また、前記インピーダンス制御手段として、メモリスロットに実装可能で、特性インピーダンスを可変できるダミー負荷を有するダミーパッケージを設け、このダミーパッケージをメモリパッケージを実装していないメモリスロットに1枚だけ実装し、かつ制御部からダミーパッケージを制御する制御手段を設け、制御部からダミーパッケージを制御してその特性インピーダンスを設定するようにしたものである。

【0038】さらに、前記インピーダンス制御手段として、メモリパッケージ内に特性インピーダンスを可変できるダミー負荷を設け、かつ制御部からダミー負荷を制御する制御手段を設け、制御部からダミー負荷を制御してその特性インピーダンスを設定するようにしたものである。

【0039】この場合に、前記ダミー負荷を、メモリパッケージと同じ特性インピーダンスを持つダミー負荷回路と、このダミー負荷回路を接続または開放する複数のスイッチとから構成するようにしたものである。

【0040】

【作用】前記したデータ伝送方式によれば、インピーダンス制御手段が備えられることにより、複数の制御ユニットと複数のスロット、たとえば制御部と複数のメモリスロットに実装した単数または複数のメモリパッケージのそれぞれから見たデータ伝送路の特性インピーダンスを、メモリパッケージの実装枚数に関わらずに常に一定

にすることができる。

【0041】すなわち、制御部とメモリパッケージを実装するメモリスロットとの接続を各メモリスロットで共通に行い、かつ特性インピーダンスを変化させることのできるインピーダンス制御手段、たとえばメモリパッケージと同じ特性インピーダンスを持つダミーパッケージ、または制御部、ダミーパッケージまたはメモリパッケージ内に特性インピーダンスを可変できるダミー負荷を、制御部とメモリパッケージとの間の接続線上に接続することにより可能とすることができる。

【0042】これにより、ダミーパッケージの実装またはダミー負荷の特性インピーダンスを変化させることで、制御部またはメモリパッケージの信号駆動回路の負荷がメモリパッケージの実装枚数に関わらずに常に一定になり、これによって信号波形を最適化でき、かつ制御部とメモリパッケージ間の信号伝搬遅延時間を一定にして、制御部とメモリパッケージ間のデータ伝送を高速に行うことができる。さらに、このためのコストアップも最小限に抑えることができる。

【0043】

【実施例1】図1は本発明の一実施例であるダミーパッケージを用いたデータ伝送方式を示す機能ブロック図である。

【0044】まず、図1により本実施例のダミーパッケージを用いたデータ伝送方式の構成を説明する。

【0045】本実施例のデータ伝送方式は、たとえば説明を簡単にするためにメモリパッケージからの読み出しに必要な機能のみを示し、その上実装するメモリパッケージを1枚とし、データ伝送路によりメモリパッケージと制御部間のデータ転送を行うデータ伝送方式とされ、制御部1、メモリパッケージ2および複数のダミーパッケージ（インピーダンス制御手段）3（3A～3M）から構成され、メモリパッケージ2およびダミーパッケージ3A～3Mは複数のメモリスロット4A～4Nにそれぞれ実装され、さらに制御部1とメモリスロット4A～4Nは、制御信号接続線5およびデータ信号接続線6を通じて共通に接続されている。

【0046】制御部1には、制御信号を出力する制御信号駆動回路11と、読み出しデータ受取り回路12と、読み出しデータを受取るタイミングを示す読み出しデータ受取りタイミング信号13と、制御信号および読み出しデータ受取りタイミング信号13を生成するタイミング生成回路14が備えられている。

【0047】メモリパッケージ2には、装置として必要なデータ幅を満足する複数のメモリIC21と、制御部1からの制御信号をメモリIC21に供給するメモリパッケージ内駆動回路22が備えられ、このメモリパッケージ2は1枚だけメモリスロット4Nに実装されている。

【0048】また、このメモリIC21は、制御部1か

らの制御信号により動作を開始し、記憶しているデータを読み出した後にこれを出力し、かつ制御信号が切断されるとデータ出力を停止して出力状態を開放するようになっている。

【0049】ダミーパッケージ3A～3Mは、同じ回路構成のものであり、それぞれにメモリパッケージ内駆動回路22と同じ入力インピーダンスを有するコンデンサ31A～31Mと、メモリIC21がデータ出力を停止して出力状態を開放にしている時と同じ入力インピーダンスを有するコンデンサ32A～32Mが備えられ、このダミーパッケージ3A～3Mはメモリパッケージ2が実装されていないメモリスロット4A～4Mに実装されている。

【0050】次に、本実施例の作用について説明する。

【0051】まず、制御部1内のタイミング生成回路14により生成した制御信号を、制御信号駆動回路11により制御信号接続線5に出力し、制御信号接続線5によりメモリスロット4Nに実装されているメモリパッケージ2に制御信号を供給する。

【0052】さらに、メモリパッケージ2では制御信号を受け取ると、メモリパッケージ内駆動回路22により制御信号を各メモリIC21に供給してメモリIC21を動作させ、各メモリIC21に記憶しているデータを読み出した後にこれを出力させる。

【0053】そして、各メモリIC21からの読み出しデータは、データ信号接続線6により制御部1内の読み出しデータ受取り回路12に伝えられ、タイミング生成回路14からの読み出しデータ受取りタイミング信号13により読み出しデータ受取り回路12で受け取る。

【0054】この場合に、各部の動作タイミングは、図5を用いて従来技術でも述べたように、制御部1から制御信号を出力してから読み出しデータ受取りタイミングまでの時間Fは $2A+B+D$ となり、読み出しデータ受取りタイミングから制御信号を切断するまでの時間Gは $E-(2A+C)$ となり、制御信号の信号幅Hは $\{2A+B+D\} + \{E-(2A+C)\} = B+D+E-C$ となる。

【0055】ここで、制御部1とメモリパッケージ2との間の信号伝搬遅延時間Aは、制御部1の制御信号駆動回路11の駆動能力と制御信号駆動回路11の負荷、すなわち制御信号接続線5、データ信号接続線6の浮遊容量、インダクタンス、およびメモリパッケージ2の浮遊容量、インダクタンス、さらにメモリスロット4Nの浮遊容量、インダクタンスにより、またメモリパッケージ2のメモリIC21の駆動能力とメモリIC21の負荷により決定される。

【0056】すなわち、制御部1とメモリパッケージ2を実装するメモリスロット4Nの間の接続は、各メモリスロット4A～4Nに共通にしておき、メモリスロット4Nに実装しているメモリパッケージ2の枚数により制

御信号駆動回路11の負荷およびメモリIC21の負荷が変化し、制御部1とメモリパッケージ2との間の信号伝搬遅延時間Aも変化する。

【0057】しかし、本実施例では、メモリパッケージ2を実装していないメモリスロット4A~4Mにはダミーパッケージ3A~3Mを実装しており、かつダミーパッケージ3A~3Mの入力インピーダンスがメモリパッケージ2と同じであることから、実装しているメモリパッケージ2の枚数に関わらず、制御信号駆動回路11の負荷およびメモリIC21の負荷を一定とすることができる。

【0058】これにより、制御信号駆動回路11の負荷およびメモリIC21の負荷が常に一定となることで、制御部1とメモリパッケージ2との間の信号伝搬遅延時間Aも一定になり、よって制御信号のタイミングを最適化でき、制御信号の信号幅を最短にして制御部1とメモリパッケージ2との間のデータ転送を高速に行うことができる。

【0059】また、各メモリスロット4A~4Nには、メモリパッケージ2またはメモリパッケージ2と同じ特性インピーダンスを持ったダミーパッケージ3A~3Mを実装しているので、メモリパッケージ2の実装枚数に関わらずに負荷分布も含めて常に一定であり、信号波形の最適化を容易に行うことができる。

【0060】従って、本実施例のデータ伝送方式によれば、メモリパッケージ2が実装されていないメモリスロット4A~4Mに、コンデンサ31A~31Mおよびコンデンサ32A~32Mによるダミーパッケージ3A~3Mが実装されることにより、信号波形を最適化でき、かつ制御部1とメモリパッケージ2の間の高速なデータ

伝送が可能となる。

【0061】

【実施例2】図2は本発明の他の実施例である制御部にダミー負荷を設けたデータ伝送方式を示す機能ブロック図である。

【0062】本実施例のデータ伝送方式は、実施例1と同様にメモリパッケージからの読み出しに必要な機能のみを示し、その上実装するメモリパッケージを1枚とし、データ伝送路によりメモリパッケージと制御部間のデータ転送を行うデータ伝送方式とされ、実施例1との相違点は、制御部1aに特性インピーダンスを可変できるダミー負荷（インピーダンス制御手段）7を設ける点である。

【0063】すなわち、制御部1aには、制御信号駆動回路11、読み出しデータ受取り回路12と、読み出しデータ受取りタイミング信号13およびタイミング生成回路14に加えて、特性インピーダンスを設定できるダミー負荷7と、タイミング生成回路14aから出力されるダミー負荷制御信号15が備えられ、メモリパッケージ2の実装枚数に関わらず、制御部1およびメモリパッ

ケージ2から見たデータ伝送路の特性インピーダンスが一定になるように構成されている。

【0064】このダミー負荷7には、メモリパッケージ内駆動回路22と同じ入力インピーダンスを有するコンデンサ71A~71Mと、メモリIC21がデータ出力を停止して出力状態を開放にしている時と同じ入力インピーダンスを有するコンデンサ73A~73Mと、制御信号出力とコンデンサ71A~71Mとの間を接続するか切断するかを決めるスイッチ72A~72Mと、データ信号入力とコンデンサ73A~73Mとの間を接続するか切断するかを決めるスイッチ74A~74Mが備えられている。

【0065】そして、コンデンサ71A~71M、73A~73Mのスイッチ72A~72M、74A~74Mに接続していない一端はグラウンドに接続され、またスイッチ72A~72M、74A~74Mの接続/切断は、ダミー負荷制御信号15により制御されるようになって

いる。

【0066】なお、コンデンサ71A~71M、73A~73Mおよびスイッチ72A~72M、74A~74Mは、メモリパッケージ2が最大でN枚なのに対してN-1個となっているのは、メモリパッケージ2は少なくとも1枚は実装されるからである。

【0067】本実施例においては、メモリスロットは4A~4NとN個あり、メモリパッケージ2は最大でN枚実装されるが、この場合にはメモリパッケージ2は1枚のみ実装されているので、メモリパッケージ2をN枚実装した場合に比べてN-1枚分だけ制御信号駆動回路11の負荷およびメモリIC21の負荷が小さくなる。

【0068】よって、ダミー負荷制御信号15により、N-1個のスイッチ72A~72M、74A~74Mを接続状態にして制御信号駆動回路11の負荷およびメモリIC21の負荷を補正し、メモリパッケージ2をN枚実装した場合と同じ負荷とする。

【0069】同様に、メモリパッケージ2を2枚実装した場合は、ダミー負荷制御信号15によりN-2個のスイッチ72A~72M、74A~74Mを接続状態にし、さらにメモリパッケージ2をN枚実装した場合は、全てのスイッチ72A~72M、74A~74Mを切断状態にして、メモリパッケージ2の実装枚数に関わらず、制御信号駆動回路11の負荷およびメモリIC21の負荷を一定にすることができる。

【0070】従って、本実施例のデータ伝送方式によれば、制御部1aに、コンデンサ71A~71M、コンデンサ73A~73M、スイッチ72A~72Mおよびスイッチ74A~74Mによる特性インピーダンスを設定できるダミー負荷7が備えられることにより、実施例1と同様に制御信号のタイミングを最適化でき、制御信号の信号幅を最短にして制御部1とメモリパッケージ2との間のデータ転送の高速化が可能とされ、その上必要な

枚数のメモリパッケージ2のみを実装すればよいので、メモリパッケージ2を追加実装する時に実施例1のようにダミーパッケージ3を除去する必要がない。

# 【0071】

【実施例3】図3は本発明のさらに他の実施例であるダミーパッケージにダミー負荷を設けたデータ伝送方式を示す機能ブロック図である。

【0072】本実施例のデータ伝送方式は、実施例1および2と同様にメモリパッケージからの読み出しに必要な機能のみを示し、その上実装するメモリパッケージを1枚とし、データ伝送路によりメモリパッケージと制御部間のデータ転送を行うデータ伝送方式とされ、実施例2との相違点は、制御部1aに代えて、ダミーパッケージ3aに特性インピーダンスを可変できるダミー負荷（インピーダンス制御手段）7を設ける点である。

【0073】すなわち、ダミーパッケージ3aにはダミー負荷7が実装され、このダミー負荷7には、実施例2と同様にコンデンサ71A～71M、コンデンサ73A～73Mと、ダミーパッケージ3aの制御信号入力とコンデンサ71A～71Mとの間を接続するか切断するかを決めるスイッチ72A～72Mと、ダミーパッケージ3aのデータ信号出力とコンデンサ73A～73Mとの間を接続するか切断するかを決めるスイッチ74A～74Mが備えられている。

【0074】また、制御部1bには、制御信号駆動回路11、読み出しデータ受取り回路12、読み出しデータ受取りタイミング信号13の他に、制御信号、読み出しデータ受取りタイミング信号13に加えてダミー負荷制御信号15を生成するタイミング生成回路14aと、ダミーパッケージ3a内のダミー負荷7を制御するダミー負荷制御信号15を出力するダミー負荷制御信号駆動回路16が備えられ、制御部1とダミーパッケージ3aのメモリスロット4Aがダミー負荷制御信号接続線8を通じて接続されている。

【0075】なお、ダミー負荷制御信号15によりスイッチ72A～72M、74A～74Mの状態を設定するのは、メモリパッケージ2を動作させる前の初期設定時に行う。

【0076】従って、本実施例のデータ伝送方式によれば、ダミーパッケージ3aに、コンデンサ71A～71M、コンデンサ73A～73M、スイッチ72A～72Mおよびスイッチ74A～74Mによる特性インピーダンスを設定できるダミー負荷7が備えられることにより、メモリパッケージ2の実装枚数に関わらず、制御信号駆動回路11の負荷およびメモリIC21の負荷を一定にすることができるので、実施例2と同様に制御部1とメモリパッケージ2との間のデータ転送の高速化が可能とされ、メモリパッケージ2を追加実装する時に、必要な枚数のメモリパッケージ2を実装することができる。

# 【0077】

【実施例4】図4は本発明のさらに他の実施例であるメモリパッケージにダミー負荷を設けたデータ伝送方式を示す機能ブロック図である。

【0078】本実施例のデータ伝送方式は、実施例1～3と同様にメモリパッケージからの読み出しに必要な機能のみを示し、その上実装するメモリパッケージを1枚とし、データ伝送路によりメモリパッケージと制御部間のデータ転送を行うデータ伝送方式とされ、実施例2および3との相違点は、制御部1a、ダミーパッケージ3aに代えて、メモリパッケージ2aに特性インピーダンスを可変できるダミー負荷（インピーダンス制御手段）7を設ける点である。

【0079】すなわち、メモリパッケージ2aには、複数のメモリIC21およびメモリパッケージ内駆動回路22に加えて、特性インピーダンスを設定できるダミー負荷7が備えられている。

【0080】このダミー負荷7には、実施例2および3と同様にコンデンサ71A～71M、コンデンサ73A～73Mと、メモリパッケージ2aの制御信号入力とコンデンサ71A～71Mとの間を接続するか切断するかを決めるスイッチ72A～72Mと、メモリパッケージ2aのデータ信号出力とコンデンサ73A～73Mとの間を接続するか切断するかを決めるスイッチ74A～74Mが備えられている。

【0081】また、制御部1bには、制御信号駆動回路11、読み出しデータ受取り回路12、読み出しデータ受取りタイミング信号13、制御信号、読み出しデータ受取りタイミング信号13およびダミー負荷制御信号15を生成するタイミング生成回路14a、メモリパッケージ2a内のダミー負荷7を制御するダミー負荷制御信号15を出力するダミー負荷制御信号駆動回路16が備えられ、制御部1bとメモリパッケージ2aのメモリスロット4Nがダミー負荷制御信号接続線8を通じて接続されている。

【0082】なお、本実施例では、実装するメモリパッケージ2aは1枚であるのでダミー負荷7は全体で1個であり、1個のダミー負荷7の中のN-1個のスイッチ72A～72M、74A～74Mを接続状態にしている。しかし、メモリパッケージ2aを2枚実装した場合は、ダミー負荷7は全体で2個となるので、2個のダミー負荷7の中のN-2個のスイッチ72A～72L、74A～74Lを接続状態にすることとなる。

【0083】この時、2個のダミー負荷7の中の1個のダミー負荷7のスイッチ72A、74Aを接続状態にするのではなく、2個のダミー負荷7に平均的に分散させた方がよい。また、メモリパッケージ2aを3枚以上実装した場合も同様に、それぞれのメモリパッケージ2a内のダミー負荷7に平均的に分散させた方がよい。

【0084】これは、メモリパッケージ2aを最大の枚



数実装した時は、全てのメモリスロット4A~4Nにメモリパッケージ2aが実装されて負荷が平均的に分散しているので、複数のダミー負荷7に平均的に分散させた方がこの時の負荷状態に近づくことができるためである。

【0085】従って、本実施例のデータ伝送方式によれば、メモリパッケージ2aに、コンデンサ71A~71M、コンデンサ73A~73M、スイッチ72A~72Mおよびスイッチ74A~74Mによる特性インピーダンスを設定できるダミー負荷7が備えられることにより、メモリパッケージ2aの実装枚数に関わらず、制御信号駆動回路11の負荷およびメモリIC21の負荷を一定にすることができるので、実施例2および3と同様に制御部1bとメモリパッケージ2aとの間のデータ伝送の高速化が可能とされ、メモリパッケージ2aを追加実装する時に、必要な枚数のメモリパッケージ2aの実装が可能となる。

【0086】以上、本発明者によってなされた発明を実施例1~4に基づき具体的に説明したが、本発明は前記各実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0087】たとえば、前記各実施例のデータ伝送方式については、ダミー負荷7に使用するコンデンサ71A~71M、73A~73Mとして固定容量のものを使用した場合について説明したが、本発明は前記実施例に限定されるものではなく、他の部品を使用する場合などについても広く適用可能である。

【0088】すなわち、コンデンサ71A~71M、73A~73Mとして、印加電圧により静電容量が変化するコンデンサを使用することも可能であり、この場合には印加電圧により静電容量が変化するのでスイッチが不要となり、構成部品の削減が可能となる。

【0089】また、前記各実施例においては、説明を簡単にするためにメモリパッケージ2、2aからの読み出しに必要な機能のみを示し、主に実装するメモリパッケージ2、2aを1枚として説明したが、メモリパッケージへの書き込み機能を備えたり、メモリパッケージの数量などについては種々変更可能であることはいうまでもない。

【0090】以上の説明では、主として本発明者によってなされた発明をその利用分野であるメモリパッケージ2、2aと制御部1、1a、1b間のデータ伝送を行うデータ伝送方式に適用した場合について説明したが、これに限定されるものではなく、個々に制御機能を有する複数の制御ユニット間のデータ伝送などについても広く適用可能である。

【0091】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0092】(1).複数のスロットに実装される複数の制御ユニットのそれぞれから見たデータ伝送路の特性インピーダンスを、制御ユニットの実装数に関わらずに常に一定にするインピーダンス制御手段を備えることにより、インピーダンス制御手段の実装によって制御ユニットの負荷が実装枚数に関わらずに常に一定になるので、信号波形を最適化でき、かつ制御ユニット間の信号伝搬遅延時間を一定にしてデータ伝送の高速化が可能となる。

10 【0093】(2).複数の制御ユニットを制御部および複数のメモリスロットに実装した単数または複数のメモリパッケージとし、このメモリパッケージと制御部間のデータ伝送を行う場合には、制御部およびメモリパッケージのそれぞれから見たデータ伝送路の特性インピーダンスを、メモリパッケージの実装枚数に関わらずに常に一定にすることができるので、メモリパッケージを制御する制御信号の信号幅を最短にして制御部とメモリパッケージ間におけるデータ伝送の高速化を図ることが可能となる。

20 【0094】(3).インピーダンス制御手段として、メモリスロットに実装可能で、メモリパッケージと同じ特性インピーダンスを持つダミーパッケージを設け、このダミーパッケージをメモリパッケージの未実装スロットに実装することにより、前記(2)と同様に制御部およびメモリパッケージから見たデータ伝送路の特性インピーダンスを一定にすることができるので、制御部とメモリパッケージ間におけるデータ伝送の高速化が可能となる。

30 【0095】(4).インピーダンス制御手段として、制御部、メモリスロットに実装可能なダミーパッケージまたはメモリパッケージ内に特性インピーダンスを可変できるダミー負荷を設け、このダミー負荷を制御してその特性インピーダンスを設定することにより、前記(2)と同様に制御部とメモリパッケージ間のデータ伝送を高速に行うことができ、かつ必要な枚数のメモリパッケージの追加実装が容易に可能となる。

【0096】(5).前記(1)~(4)により、実装するメモリパッケージの枚数に関わらず、制御部およびメモリパッケージから見た特性インピーダンスを常に一定にできるので、信号波形の最適化、信号伝搬遅延時間の一定によってデータ伝送の高速化が可能とされ、特に高速読み出しモードを備えたメモリICを用いるデータ伝送に良好なデータ伝送方式を得ることができる。

【0097】(6).前記(1)~(4)により、データ伝送の高速化において、特にコンデンサなどのダミー負荷回路と、このダミー負荷回路を接続または開放する複数のスイッチとの構成により実現することができるので、コストアップを最小限に抑えることが可能とされるデータ伝送方式を得ることができる。

【図面の簡単な説明】

50 【図1】本発明の実施例1であるダミーパッケージを用

15

いたデータ伝送方式を示す機能ブロック図である。

【図2】本発明の実施例2である制御部にダミー負荷を設けたデータ伝送方式を示す機能ブロック図である。

【図3】本発明の実施例3であるダミーパッケージにダミー負荷を設けたデータ伝送方式を示す機能ブロック図である。

【図4】本発明の実施例4であるメモリパッケージにダミー負荷を設けたデータ伝送方式を示す機能ブロック図である。

【図5】従来技術の一例としてのデータ伝送方式において、メモリパッケージからデータを読み出す場合のタイミングチャート図である。

【符号の説明】

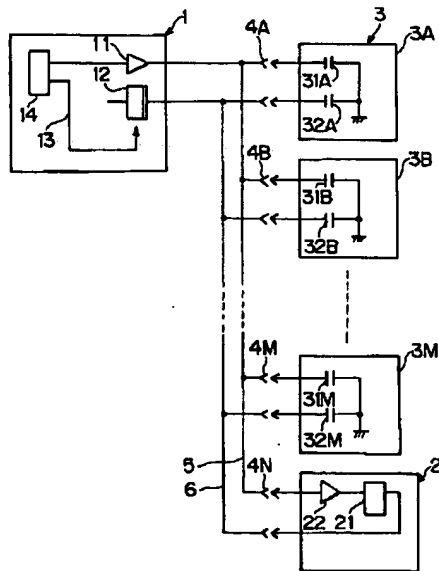
- 1, 1 a, 1 b 制御部  
2, 2 a メモリパッケージ  
3, 3 a ダミーパッケージ (インピーダンス制御手段)  
3 A ~ 3 M ダミーパッケージ (インピーダンス制御手段)

16

- 4 A ~ 4 N メモリスロット  
5 制御信号接続線  
6 データ信号接続線  
7 ダミー負荷 (インピーダンス制御手段)  
8 ダミー負荷制御信号接続線  
11 制御信号駆動回路  
12 読み出しデータ受取り回路  
13 読み出しデータ受取りタイミング信号  
14, 14 a タイミング生成回路  
15 ダミー負荷制御信号  
16 ダミー負荷制御信号駆動回路  
21 メモリIC  
22 メモリパッケージ内駆動回路  
31 A ~ 31 M コンデンサ  
32 A ~ 32 M コンデンサ  
71 A ~ 71 M コンデンサ  
72 A ~ 72 M スイッチ  
73 A ~ 73 M コンデンサ  
74 A ~ 74 M スイッチ

【図1】

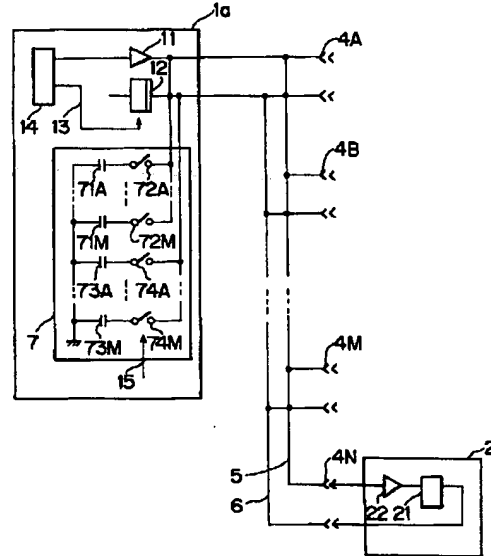
図1



- 1 : 制御部  
2 : メモリパッケージ  
3, 3 A ~ 3 M : ダミーパッケージ (インピーダンス制御手段)  
4 A ~ 4 N : メモリスロット

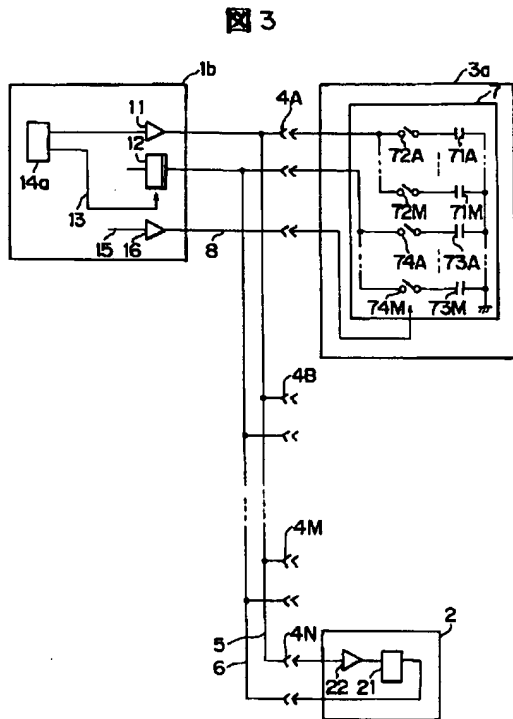
【図2】

図2

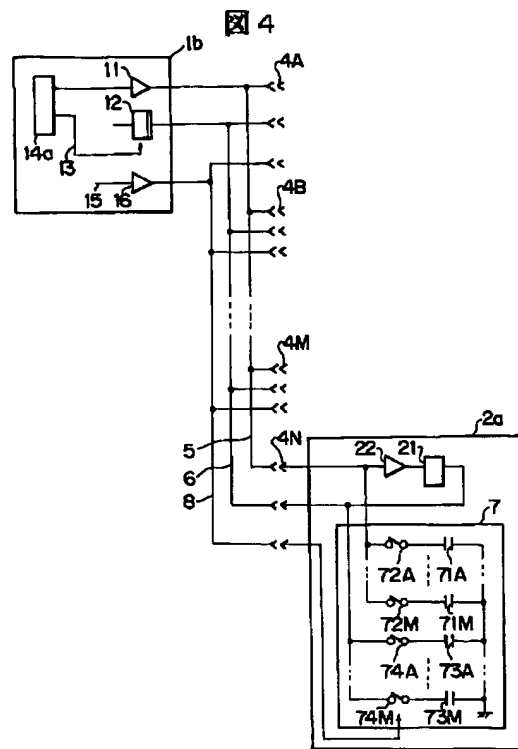


- 7 : ダミー負荷 (インピーダンス制御手段)

【図3】



【図4】



【図5】

図5

